

DATA CONTROL SYSTEM FOR IMAGE DISPLAY DEVICE

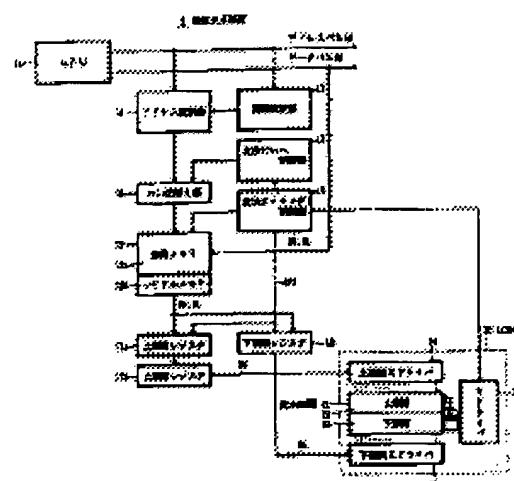
Patent number: JP3188492
Publication date: 1991-08-16
Inventor: UEDA TAKASHI
Applicant: FUJITSU LTD
Classification:
- **international:** G09G3/36; G06F3/147; G09G5/00
- **europen:**
Application number: JP19890328657 19891218
Priority number(s):

Report a data error here

Abstract of JP3188492

PURPOSE: To attain miniaturization and the reduction in cost by alternately writing a first screen data and a second screen data in image memory, successively reading out data from the image memory so that the read address is continued, and alternately classifying the read data into first and second screens.

CONSTITUTION: The data BU of the first screen 22 and the data BL of the second screen 23 are alternately written in single image memory 12, so that the written address is continued. At this time, it is decided that the written data is the data BU of the first screen 22 or the data BL of the second screen 23 based on the address written in the image memory 12, and address conversion with respect to the written address is carried out based on this determined result. When the data BU and BL are read out from the image memory 12, they are read out so as to continue the read address, and alternately classified to the first and second screens 22 and 23. Thus, miniaturization and reduction in cost are attained.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑫公開特許公報(A)

平3-188492

⑬Int.Cl.⁵G 09 G 3/36
G 06 F 3/147
G 09 G 5/00

識別記号

3 1 0

府内整理番号

8621-5C
8323-5B
8121-5C

⑭公開 平成3年(1991)8月16日

審査請求 未請求 請求項の数 1 (全7頁)

⑮発明の名称 画像表示装置におけるデータの制御方式

⑯特 願 平1-328657

⑰出 願 平1(1989)12月18日

⑮発明者 上田 隆司 兵庫県加東郡社町佐保35番(番地なし) 富士通周辺機株
式会社内

⑯出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

画像表示装置におけるデータの制御方式

2. 特許請求の範囲

(1) 表示デバイス(20)の表示画面(21)を第一画面(22)と第二画面(23)とに分割し、これら第一画面(22)及び第二画面(23)を並行に駆動して前記表示画面(21)の全体を表示する画像表示装置(1)において、

前記第一画面(22)のデータ(BU)と前記第二画面(23)のデータ(BL)とを、交互に且つ書き込みアドレスが連続するよう

に画像メモリ(12)に書き込み、

読み出しアドレスが連続するように前記画像メモリ(12)からデータ(BU)(BL)を順次読み出し、読み出したデータ(BU)(BL)を前記第一画面(22)と第二画面(23)とに交互に振り分ける

ことを特徴とする画像表示装置におけるデータの制御方式。

3. 発明の詳細な説明

(概要)

大形LCDパネルなどを用いた画像表示装置におけるデータの制御方式に関するもの。

デュアルポートDRAMのような安価な单一のメモリを用いることができ、装置の小型化と低コスト化を図ることのできる画像表示装置におけるデータの制御方式を提供することを目的とした。

表示デバイスの表示画面を第一画面と第二画面とに分割し、これら第一画面及び第二画面を並行に駆動して前記表示画面の全体を表示する画像表示装置において、前記第一画面のデータと前記第二画面のデータとを、交互に且つ書き込みアドレスが連続するように画像メモリに書き込み、読み出しアドレスが連続するように前記画像メモリからデータを順次読み出し、読み出したデータを前記第一画面と第二画面とに交互に振り分けること

を特徴として構成される。

〔産業上の利用分野〕

本発明は、大形LCDパネルなどを用いた画像表示装置におけるデータの制御方式に関する。

近年においては、画像表示装置の小型軽量化の要求にともない、従来のCRTディスプレイに代わってフラットパネルが使用されはじめ、その中でもLCDパネルを使用した表示装置の普及がめざましい。

LCDパネルは、電気光学効果により光の透過量を変え、そのコントラスト比で表示を行うが、LCDパネルには記憶機能がないため絶えずリフレッシュが必要であり、表示容量が増えると1画素当たりの透過量変更時間が短くなりコントラストが低下してしまう。そのため、大形のLCDパネルでは、コントラストを上げるために、表示画面を上画面と下画面とに2分割し、これら上画面及び下画面を並行に駆動して表示画面の全体を表示することが行われている。

からのアドレス指定によってこれら上画面メモリ52又は下画面メモリ53にデータが書き込まれ、それぞれに書き込まれたデータが表示リフレッシュ制御部54からのアドレス指定によって読み出され、読み出されたデータが上画面レジスタ57及び下画面レジスタ58に格納され、その後に上画面Xドライバ24及び下画面Xドライバ25に転送されて表示される。

〔発明が解決しようとする課題〕

上述の画像表示装置50におけるデータの制御方式では、上画面22と下画面23とに対応して2個のメモリブロックが必要であり、そのための周辺回路も含めて多くの部品を必要とし、回路構成が複雑となっているとともに、プリント基板上において広い面積を必要とし、装置の小型化及び低コスト化のネックとなっていた。

また、上画面メモリ52及び下画面メモリ53に対して、表示のための読み出しを絶えず行っておく必要があるため、その読み出しとデータの書

〔従来の技術〕

第5図は従来の画像表示装置50のブロック図である。

画像表示装置50は、全体を制御するプロセッサ51、上画面メモリ52、下画面メモリ53、上画面メモリ52又は下画面メモリ53に対して表示のためのデータの読み出しアドレスを与える表示リフレッシュ制御部54、表示リフレッシュ制御部54からのアドレスとプロセッサ51からのアドレスとを切り替えるアドレス切替え部55、56、上画面メモリ52又は下画面メモリ53から読み出したデータをそれぞれ一時的に格納する上画面レジスタ57及び下画面レジスタ58、表示タイミング制御部59、上画面22と下画面23とに2分割された表示画面21を有したLCDパネル20などから構成されている。

上述の画像表示装置50では、上画面22と下画面23に対応して上画面メモリ52と下画面メモリ53とが設けられており、プロセッサ51

き込みとを時分割により実行するために、高価な高速スタティックRAMを用いなければならなかった。

本発明は、上述の問題に鑑み、デュアルポートDRAMのような安価な単一のメモリを用いることができ、装置の小型化と低コスト化を図ることのできる画像表示装置におけるデータの制御方式を提供することを目的としている。

〔課題を解決するための手段〕

本発明は、上述の課題を解決するため、第1図に示すように、表示デバイス20の表示画面21を第一画面22と第二画面23とに分割し、これら第一画面22及び第二画面23を並行に駆動して前記表示画面21の全体を表示する画像表示装置1において、前記第一画面22のデータBUと前記第二画面23のデータBLとを、交互に且つ書き込みアドレスが連続するように画像メモリ12に書き込み、読み出しアドレスが連続するよう前記画像メモリ12からデータBU、BLを順

次読み出し、読み出したデータ B U, B L を前記第一画面 2 2 と第二画面 2 3 とに交互に振り分けることを特徴として構成される。

(作 用)

第一画面 2 2 のデータ B U と第二画面 2 3 のデータ B L とは、単一の画像メモリ 1 2 に、これらのデータ B U, B L が交互に且つ書き込みアドレスが連続するように書き込まれる。

このときに、画像メモリ 1 2 への書き込みアドレスに基づいて、当該データが第一画面 2 2 のデータ B U であるか又は第二画面 2 3 のデータ B L であるかが判定され、この判定結果に基づいて、書き込みアドレスに対するアドレス変換が行われる。

画像メモリ 1 2 からのデータ B U, B L の読み出しに際しては、読み出しあドレスが連続するように読み出され、読み出されたデータ B U, B L は、第一画面 2 2 と第二画面 2 3 とに交互に振り分けられる。

下画面 2 3 の X 方向（水平方向）のデータ電極を個々に駆動するための上画面 X ドライバ 2 4 及び下画面 X ドライバ 2 5、上画面 2 2 と下画面 2 3 の Y 方向（垂直方向）の走査電極のうち同順位の電極をそれぞれ 1 本ずつ同時に走査しながら駆動を行う Y ドライバ 2 6 からなっている。

画像メモリ 1 2 は、ランダムアクセスが可能な DRAM 1 2 a と、シリアルアクセス用のシリアルメモリ 1 2 b を有した、いわゆるデュアルポートメモリである。DRAM 1 2 a は、上画面 2 2 及び下画面 2 3 の両方の表示画面 2 1 に対応した広さの容量を有しており、アドレス変換部 1 4 からのアドレス指定によってデータバス D B からのデータ B U, B L が書き込まれる。シリアルメモリ 1 2 b は、DRAM 1 2 a に書き込まれたデータを、一定の長さの連続するデータ列として読み出し、シリアルに出力する。

画面判定部 1 3 は、データを画像メモリ 1 2 へ書き込むためにプロセッサ 1 1 からアドレスバス A B に出力されるアドレス A n によって、そのデ

(実施例)

以下、本発明の実施例を図面を参照しつつ説明する。

第 1 図は本発明に係る画像表示装置 1 のブロック図である。

画像表示装置 1 は、全体を制御するプロセッサ 1 1、画像メモリ 1 2、画面判定部 1 3、アドレス変換部 1 4、画像メモリ 1 2 に対して表示のためのデータの読み出しアドレスを与える表示リフレッシュ制御部 1 5、表示リフレッシュ制御部 1 5 からのアドレスとアドレス変換部 1 4 からのアドレスとを切り替えるアドレス切替部 1 6、画像メモリ 1 2 から読み出したデータをそれぞれ一時的に格納する上画面レジスタ 1 7 a、1 7 b 及び下画面レジスタ 1 8、表示タイミング制御部 1 9、及び、LCD パネル 2 0 などから構成されている。

LCD パネル 2 0 は、上画面 2 2 と下画面 2 3 とに 2 分割された表示画面 2 1、上画面 2 2 又は

データが上画面 2 2 のデータ B U か又は下画面 2 3 のデータ B L かの判定を行う。この判定は、例えば、アドレス A n が一定の値よりも小さいか又は大きいかを判定することによって行われる。

アドレス変換部 1 4 は、画面判定部 1 3 による判定結果に基づいて、上画面 2 2 のデータ B U と下画面 2 3 のデータ B L とを、交互に、且つ連続した書き込みアドレス A b で画像メモリ 1 2 に書き込まれるように、プロセッサ 1 1 からのアドレス A n に対してアドレス変換を行う。

表示リフレッシュ制御部 1 5 は、表示画面 2 1 に表示するデータを絶えずリフレッシュするため、画像メモリ 1 2 からデータ B U, B L を読み出すためのアドレスを発生する。

上画面レジスタ 1 7 a 及び下画面レジスタ 1 8 は、画像メモリ 1 2 から読み出されたデータ B U, B L を、表示タイミング制御部 1 9 からのラッチ信号 S 1 によって交互にラッチする。

上画面レジスタ 1 7 a にラッチされたデータ B U は、下画面レジスタ 1 8 によるラッチタイミング

グでもう一方の上画面レジスタ17bに転送されてラッチされる。上画面レジスタ17b及び下画面レジスタ18のデータB U, B Lは、同時に、それぞれ、上画面Xドライバ24又は下画面Xドライバ25に出力される。

次に、上述の画像表示装置1の動作について説明する。

第2図は表示画面21の画素構成を示す図である。

表示画面21の上画面22に示されたデータD U 3～0、及び下画面23に示されたデータD L 3～0は、それぞれ、画素のデータを示している。これら4個の画素を1ブロックとして、1ブロック分のデータD U 3～0, D L 3～0が、それぞれデータB U, B Lとしてまとめられ、一時に画像メモリ12に書き込まれる。

第3図は画像メモリ12に書き込まれるデータの順序を示す図である。

アドレス変換部14は、表示画面21上の画素の位置に対応してプロセッサ11により指定され

るアドレスA nを、画像メモリ12上のアドレスA bに変換し、その結果、画像メモリ12には、上画面22の第1ブロックのデータD U 3～0である上第1ブロックB U 1、下画面23の第1ブロックのデータD L 3～0である下第1ブロックB L 1、上画面22の第2ブロックのデータD U 3～0である上第2ブロックB U 2、…というように、上画面22と下画面23の1ブロック毎のデータB U, B Lが、交互に、且つ連続して書き込まれる。

第4図は画像メモリ12からのデータB U, B Lの読み出しのタイミングを示すタイミング図である。

垂直同期信号F M Rは、表示画面21に1フレームの画面を表示するタイミング信号であり、この信号の1周期の間に上画面22と下画面23との全データが順次並行して表示され、垂直同期信号F M Rが繰り返されることによって、表示画面21による表示が維持される。

水平同期信号L O A Dは、1フレームの画面の

中の1ラインの表示タイミングを示す信号である。

データ転送信号C P Xは、画像メモリ12から上画面レジスタ17a, 17b及び下画面レジスタ18へ、さらにLCDパネル20へのデータ転送のためのクロックである。このデータ転送信号C P Xによって、各ステージにおけるデータのサンプリングが行われる。

シリアルメモリ転送タイミング信号が出力された後に、画像メモリ12のシリアルメモリ12bから、B U 1, B L 1, B U 2, B L 2…の順に、データが outputされる。これらのデータは、データ転送信号C P Xの立ち下がりによって上画面レジスタ17aにラッチされ、立ち上がりによって下画面レジスタ18にラッチされる。したがって、上画面レジスタ17aには、上画面22のデータB U 1, B U 2…が、下画面レジスタ18には、下画面23のデータB L 1, B L 2…が、それぞれ順次格納される。

上画面レジスタ17aに格納されたデータB U 1, B U 2…は、データ転送信号C P Xの次の立

ち上がりで上画面レジスタ17bにラッチされ、これによって、上画面22と下画面23のデータB U, B Lのタイミングが揃い、これらが互いに同時に上画面Xドライバ24又は下画面Xドライバ25に転送される。

上述の垂直同期信号F M R、水平同期信号L O A D、データ転送信号C P X、及びシリアルメモリ転送タイミング信号などは、表示タイミング制御部19によって作成されて必要なデバイスに与えられる。

上述の実施例によると、上画面22及び下画面23からなる表示画面21の全体に対して、表示すべきデータB U, B Lを单一の画像メモリ12に展開することができる所以、画像メモリ12として大容量の1個のデュアルポートD R A Mを使用することができ、そのための周辺回路も含めて部品点数が減少するため、装置の小型化及び低コスト化を図ることができる。

上述の実施例においては、4画素分のデータD U 3～0, D L 3～0を1ブロックのデータB U,

BLとして扱ったが、これ以外の要素数のデータを1ブロックとして扱ってもよい。表示画面21が分割されていない場合、例えばCRTディスプレイなどを用いる場合には、アドレス変換部14によるアドレス変換を実行しないようにすればよい。また、画像表示装置1及びその各部の構成は、上述した以外の種々の構成とすることができます。

(発明の効果)

本発明は、例えば上画面と下画面とに分割して表示画面の全体を表示するように構成された大型LCDパネルなどからなる画像表示装置において、デュアルポートDRAMのような安価な単一のメモリを用いることができ、装置の小型化と低コスト化を図ることができる。

4. 図面の簡単な説明

第1図は本発明に係る画像表示装置のブロック図、

第2図は表示画面の要素構成を示す図、

第3図は画像メモリに書き込まれるデータの順序を示す図、

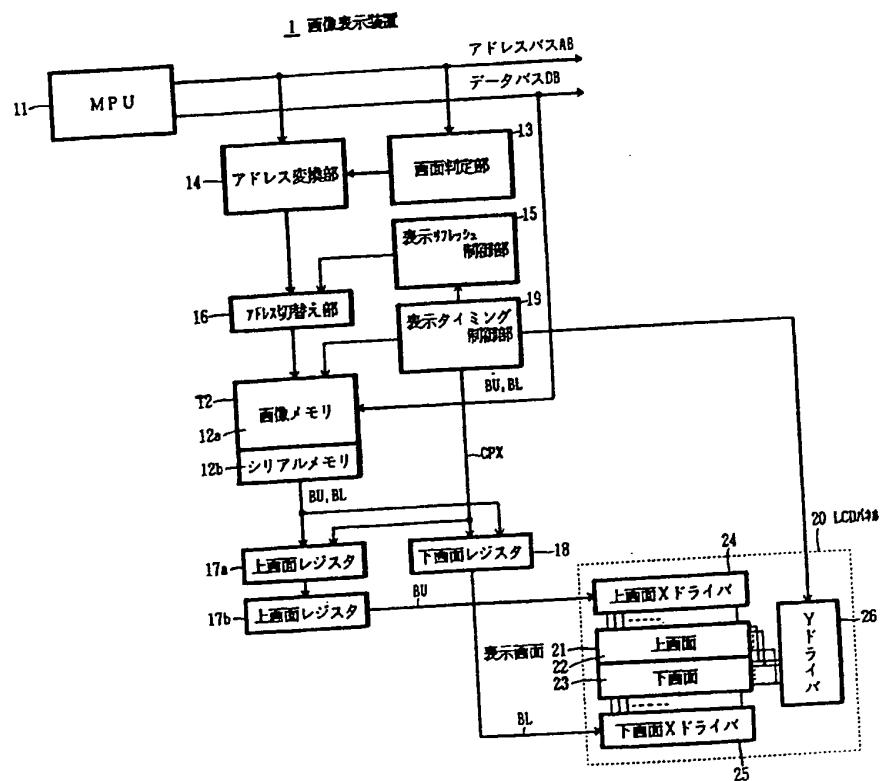
第4図は画像メモリからのデータの読み出しのタイミングを示すタイミング図、

第5図は従来の画像表示装置のブロック図である。

図において、

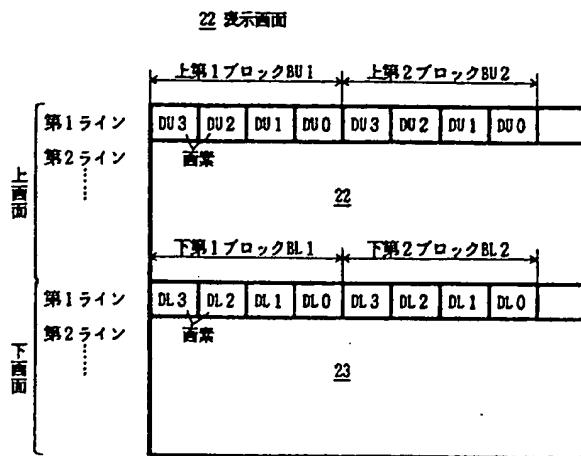
- 1は画像表示装置、
- 12は画像メモリ、
- 20はLCDパネル(表示デバイス)、
- 21は表示画面、
- 22は上画面(第一画面)、
- 23は下画面(第二画面)、
- BU, BLはデータである。

代理人弁理士 井桁貞一



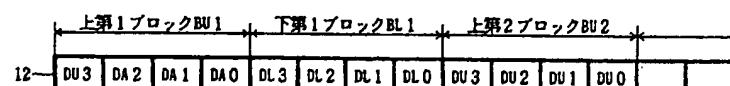
本発明に係る画像表示装置のブロック図

第1図



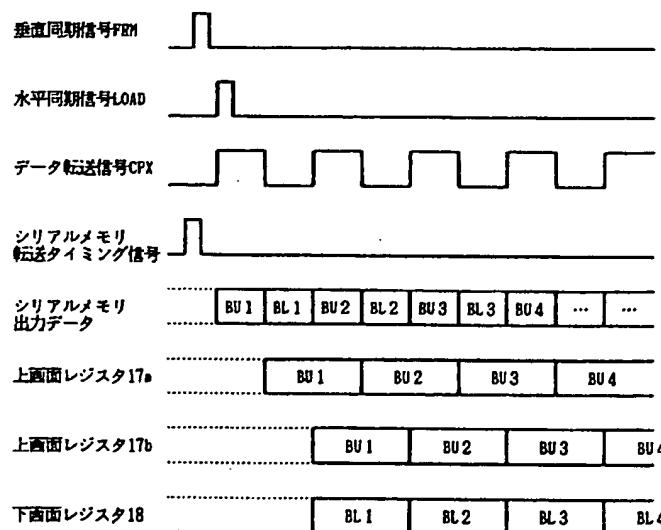
表示画面の要素構成を示す図

第 2 図



画像メモリに書き込まれるデータの順序を示す図

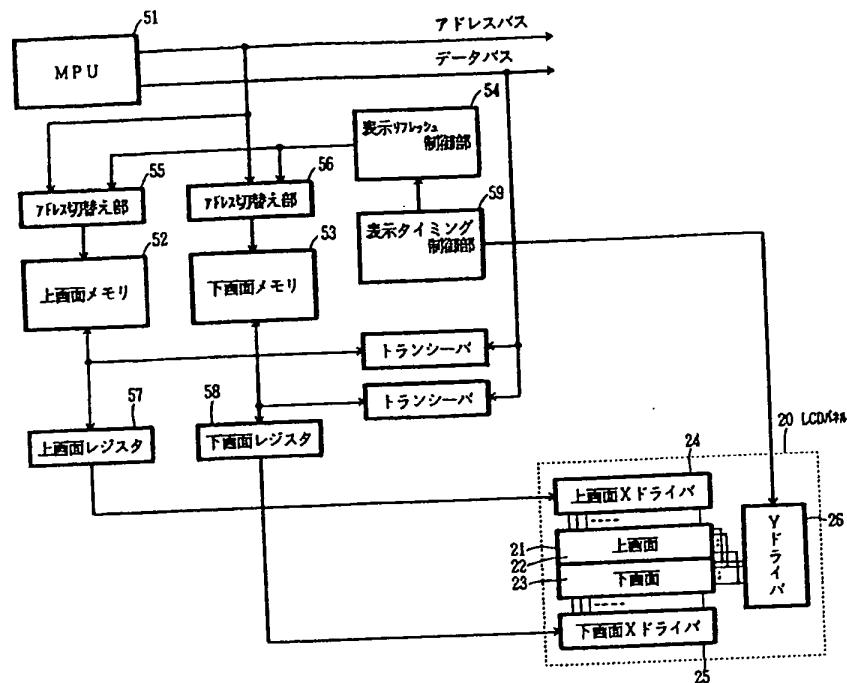
第 3 図



画像メモリからのデータの読み出しのタイミングを示すタイミング図

第 4 図

50 西徵表示装置



従来の画像表示装置のブロック図

第 5 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)